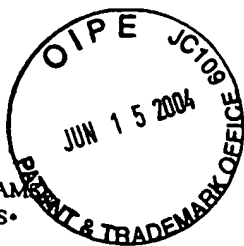


# ADAMS & WILKS

ATTORNEYS AND COUNSELORS AT LAW  
50 BROADWAY  
31st FLOOR  
NEW YORK, NEW YORK 10004



BRUCE L. ADAMS  
VAN C. WILKS

JOHN R. BENEFIEL  
PAUL R. HOFFMAN  
TAKESHI NISHIDA  
FRANCO S. DE LIGUORI

\* NOT ADMITTED IN NEW YORK  
\* REGISTERED PATENT AGENT

RIGGS T. STEWART  
(1924-1993)

TELEPHONE  
(212) 809-3700

FACSIMILE  
(212) 809-3704

JUNE 9, 2004

COMMISSIONER FOR PATENTS  
Washington, DC 20231

Re: Patent Application of Jun OSANAI et al.  
Serial No. 09/944,365 Filing Date: August 31, 2001  
Examiner: Thien F. Tran Group Art Unit: 2811  
Docket No. S004-4393

S I R:

The above-identified application was filed claiming the right of priority based on the following foreign application(s).

- |  |       |                    |
|--|-------|--------------------|
| 1. Japanese Patent Appln. No. 2001-204758  | filed | July 5, 2001       |
| 2. Japanese Patent Appln. No. 2001-035800  | filed | February 13, 2001  |
| 3. Japanese Patent Appln. No. 2000-331080  | filed | October 30, 2000   |
| 4. Japanese Patent Appln. No. 2000-265495  | filed | September 1, 2000  |
| 5. Japanese Patent Appln. No. 2000-299549  | filed | September 29, 2000 |
| 6. Japanese Patent Appln. No. 2001-188051  | filed | June 21, 2001      |
| 7. Japanese Patent Appln. No. 2001-118539  | filed | April 17, 2001     |
| 8. Japanese Patent Appln. No. 2001-241297  | filed | August 8, 2001     |
| 9. Japanese Patent Appln. No. 2001-241294  | filed | August 8, 2001     |
| 10. Japanese Patent Appln. No. 2001-241293 | filed | August 8, 2001     |
| 11. Japanese Patent Appln. No. 2001-113049 | filed | April 11, 2001     |

Certified copy(s) are annexed hereto and it is requested that these document(s) be placed in the file and made of record.

## MAILING CERTIFICATE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first-class mail in an envelope addressed to: COMMISSIONER OF PATENTS & TRADEMARKS, Washington, DC 20231, on the date indicated below.

DEBRA BUONINCONTI

Name

Debra Buoninconti

Signature

JUNE 9, 2004

Date

BLA: db  
Enclosures

Respectfully submitted,

ADAMS & WILKS  
Attorneys for Applicant(s)

By: Bruce L. Adams

Bruce L. Adams  
Reg. No. 25,386



# ADAMS & WILKS

ATTORNEYS AND COUNSELORS AT LAW  
50 BROADWAY  
31st FLOOR  
NEW YORK, NEW YORK 10004

BRUCE L. ADAMS  
VAN C. WILKS\*

JOHN R. BENEFIEL\*  
PAUL R. HOFFMAN  
TAKESHI NISHIDA  
FRANCO S. DE LIGUORI\*

\* NOT ADMITTED IN NEW YORK  
\* REGISTERED PATENT AGENT

RIGGS T. STEWART  
(1924-1993)

TELEPHONE  
(212) 809-3700

FACSIMILE  
(212) 809-3704

JUNE 9, 2004

COMMISSIONER FOR PATENTS  
Washington, DC 20231

Re: Patent Application of Jun OSANAI et al.  
Serial No. 09/944,365 Filing Date: August 31, 2001  
Examiner: Thien F. Tran Group Art Unit: 2811  
Docket No. S004-4393

S I R:

The above-identified application was filed claiming the right of priority based on the following foreign application(s).

- |   |                         |
|---|-------------------------|
| 1. Japanese Patent Appln. No. 2001-044068 | filed February 20, 2001 |
| 2. Japanese Patent Appln. No. 2001-243944 | filed August 10, 2001   |
| 3. Japanese Patent Appln. No. 2001-241829 | filed August 9, 2001    |
| 4. Japanese Patent Appln. No. 2001-241299 | filed August 8, 2001    |
| 5. Japanese Patent Appln. No. 2001-241298 | filed August 8, 2001    |
| 6. Japanese Patent Appln. No.             | filed                   |
| 7. Japanese Patent Appln. No.             | filed                   |
| 8. Japanese Patent Appln. No.             | filed                   |
| 9. Japanese Patent Appln. No.             | filed                   |
| 10. Japanese Patent Appln. No.            | filed                   |
| 11. Japanese Patent Appln. No.            | filed                   |

Certified copy(s) are annexed hereto and it is requested that these document(s) be placed in the file and made of record.

## MAILING CERTIFICATE

I hereby certify that this correspondence is being deposited with the United States Postal Service as first-class mail in an envelope addressed to: COMMISSIONER OF PATENTS & TRADEMARKS, Washington, DC 20231, on the date indicated below.

DEBRA BUONINCONTI

Name

*Debra Buoninconti*

Signature

JUNE 9, 2004

Date

BLA: db  
Enclosures

Respectfully submitted,

ADAMS & WILKS  
Attorneys for Applicant(s)

By:

*Bruce L. Adams*

Bruce L. Adams  
Reg. No. 25,386

日 本 国 特 許 庁  
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2001年 7月 5日

出 願 番 号

Application Number:

特願2001-204758

出 願 人

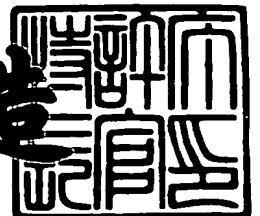
Applicant(s):

セイコーインスツルメンツ株式会社

2001年 9月13日

特 許 庁 長 官  
Commissioner,  
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3084409

【書類名】 特許願

【整理番号】 01000707

【提出日】 平成13年 7月 5日

【あて先】 特許庁長官 殿

【国際特許分類】 H01L 21/82

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス  
ツルメンツ株式会社内

【氏名】 小岩 進雄

【発明者】

【住所又は居所】 千葉県千葉市美浜区中瀬 1 丁目 8 番地 セイコーインス  
ツルメンツ株式会社内

【氏名】 小山内 潤

【特許出願人】

【識別番号】 000002325

【氏名又は名称】 セイコーインスツルメンツ株式会社

【代表者】 入江 昭夫

【代理人】

【識別番号】 100096378

【弁理士】

【氏名又は名称】 坂上 正明

【手数料の表示】

【予納台帳番号】 008246

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 0103799

特 2 0 0 1 - 2 0 4 7 5 8

【プルーフの要否】 不要

【書類名】 明細書

【発明の名称】 半導体装置の製造方法

【特許請求の範囲】

【請求項 1】 第一導電型の半導体基板に第二導電型の不純物拡散層を形成する工程と、前記第一導電型の半導体基板と前記第二導電型の不純物拡散層との素子分離を行う工程と、前記第一導電型の半導体基板及び前記第二導電型の不純物拡散層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極に不純物を導入する工程と、前記ゲート電極上に高融点金属を形成する工程と、前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程と、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程と、前記第一導電型の半導体基板内に形成した第二導電型の不純物拡散層の不純物濃度を調整する工程と、前記第二導電型の不純物拡散層内に形成した第一導電型の不純物拡散層の不純物濃度を調整する工程とを有することを特徴とする半導体装置の製造方法。

【請求項 2】 前記ゲート電極はP型の導電型である多結晶シリコンであることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 3】 前記ゲート電極は、多結晶シリコンと高融点金属シリサイドとにより構成されるポリサイド構造であることを特徴とする請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 4】 前記高融点金属シリサイドとの積層である前記ポリサイド構造からなる前記ゲート電極において、前記多結晶シリコンの膜厚が 5 0 0 Å から 2 5 0 0 Å の範囲であり、前記高融点金属シリサイドの膜厚が 5 0 0 Å から 2 5 0 0 Å の範囲であることを特徴とする請求項 1 又は 3 記載の半導体装置の製造方法。

【請求項 5】 前記高融点金属シリサイドがタングステンシリサイドもしくはモリブデンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドであることを特徴とする請求項 1 又は 3 記載の半導体装置の製造方法。

【請求項 6】 前記ゲート電極であるP型の導電型の多結晶シリコンの不純物濃度が  $1 \times 10^{18} \text{ atoms/cm}^3$  以上のボロンまたは  $\text{BF}_2$  を含むことを特徴とする

請求項 1 又は 2 記載の半導体装置の製造方法。

【請求項 7】 前記ゲート電極に不純物を導入する工程は、イオン注入法であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 8】 前記ゲート電極に不純物を導入する工程は、プリデポジション法であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 9】 前記ゲート電極に不純物を導入する工程は、P 型イオンを含むガス雰囲気での減圧 C V D 法であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 0】 前記第一導電型の半導体基板と前記第二導電型の不純物拡散層との素子分離を行う工程は、LOCOS 分離法であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 1】 前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程と、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして高濃度不純物をセルフアラインで導入する工程であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 2】 前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして高濃度不純物をセルフアラインで導入する工程であり、前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして低濃度不純物をセルフアラインで導入し高濃度不純物を一部もしくは全部セルフアラインで導入しない工程であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 3】 前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして高濃度不純物をセルフアラインで導入する工程であり、前記第一導電型の半導体基板内に第二導電

型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして低濃度不純物をセルフアラインで導入し高濃度不純物を一部もしくは全部セルフアラインで導入しない工程であり、前記高濃度不純物を一部もしくは全部セルフアラインで導入しない拡散層と前記ゲート電極間の絶縁膜がゲート絶縁膜よりも膜厚が厚くなっていることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 4】 前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして高濃度不純物をセルフアラインで導入する工程であり、前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして低濃度不純物及び高濃度不純物をセルフアラインで導入する工程であることを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 5】 前記低濃度不純物拡散層濃度は  $1 \times 10^{16}$  から  $1 \times 10^{18}$  atoms/cm<sup>3</sup> であり、前記高濃度不純物拡散層濃度は  $1 \times 10^{19}$  cm<sup>3</sup> 以上であることを特徴とする請求項 1 乃至 1 4 いずれか記載の半導体装置の製造方法。

【請求項 1 6】 前記低濃度不純物拡散層の不純物は、ボロンまたは BF<sub>2</sub> であり、前記高濃度不純物拡散層の不純物は、ボロンまたは BF<sub>2</sub>、もしくはリンまたは砒素であることを特徴とする請求項 1 乃至 1 4 いずれか記載の半導体装置の製造方法。

【請求項 1 7】 前記第一導電型の半導体基板内に形成した第二導電型の不純物拡散層の不純物濃度を調整する工程は、前記第一導電型の半導体基板内に形成した第二導電型の不純物拡散層に MOS 型トランジスターを形成した場合、埋め込みチャネル型もしくは表面チャネル型となり、エンハンスメント型の MOS トランジスターとなるように調整することを特徴とする請求項 1 記載の半導体装置の製造方法。

【請求項 1 8】 前記第二導電型の不純物拡散層内に形成した第一導電型の不純物拡散層の不純物濃度を調整する工程は、前記第二導電型の不純物拡散層内



に形成した第一導電型の不純物拡散層にMOS型トランジスターを形成した場合、埋め込みチャンネル型もしくは表面チャンネル型となり、デプリーション型のMOSトランジスターとなるように調整することを特徴とする請求項1記載の半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は低電圧動作、低消費電力および高駆動能力が要求される半導体装置、特に電圧検出器(Voltage Detector、以後VDと表記)や定電圧レギュレータ(Voltage Regulator、以後VRと表記)やスイッチングレギュレータ(Switching Regulator、以後SWRと表記)などのパワーマネジメント半導体装置やオペアンプ、コンパレータなどのアナログ半導体装置の製造方法に関する。

【0002】

【従来の技術】

従来技術について、図7を元に説明する。従来技術として単結晶半導体基板に形成した相補型MOSトランジスター（以後、CMOSと表記）について示す。

【0003】

図7(a)に示すように、P型半導体基板201、例えばボロン添加した抵抗率 $20\Omega\text{cm}$ から $30\Omega\text{cm}$ の不純物濃度の半導体基板に、Nウェル202、例えばリンを $1\times 10^{11}\text{atoms}/\text{cm}^2$ から $1\times 10^{13}\text{atoms}/\text{cm}^2$ のドーズ量でイオン注入し $1100^\circ\text{C}$ で10時間程度のアニールにより形成した拡散層を形成し、LOCOS法によりフィールド絶縁膜206、例えば膜厚数千Åから $1\mu\text{m}$ の熱酸化膜を形成した後、MOSトランジスターを形成する領域の絶縁膜を除去し、ゲート絶縁膜205、例えば膜厚 $10\text{nm}\sim 100\text{nm}$ の熱酸化膜を形成する。

【0004】

次に、図7(b)に示すように、ゲート電極となる多結晶シリコン233を形成する。

【0005】

次に、図7(c)に示すように、NMOS領域に多結晶シリコン233をマスクと

してセルフアラインでN-219、例えば砒素を $1 \times 10^{16}$ から $1 \times 10^{18}$  atoms/cm<sup>3</sup>の濃度でイオン注入した拡散層を形成し、前記多結晶シリコン233から間隔を空けてN+203、例えば砒素を $1 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度でイオン注入した拡散層を形成する。次にPMOS領域に多結晶シリコン233をマスクとしてセルフアラインでP+204、例えばBF<sub>2</sub>を $1 \times 10^{19}$  atoms/cm<sup>3</sup>の濃度でイオン注入した拡散層を形成する。NMOS領域のゲート電極となる多結晶シリコン233及びPMOS領域のゲート電極となる多結晶シリコン233にもP+204と同時にイオン注入されることによりP+多結晶シリコン232が形成される。

以上のような工程によりCMOSが作製される。

#### 【0006】

##### 【発明が解決しようとする課題】

上記の従来の製造方法による半導体装置において、NMOSはゲート電極の導電型がP+型の多結晶シリコンであるため、NMOSのソース及びドレイン形成のための高濃度イオン注入時に前記ゲート電極にもイオン注入されると前記ゲート電極のシート抵抗が増大してしまうので、前記ゲート電極上にフォトリジストを形成し前記ゲート電極を保護する必要があるが、前記NMOSのソース及びドレイン形成のためのイオン注入時にゲート電極上にフォトリジストを形成する工程を行うと、ソース及びドレインのイオン注入が自己整合的に行えないため、ソースおよびドレインよりも低濃度イオン注入を行って自己整合的なソース及びドレインを形成した後、ゲート電極上にフォトリジストを形成し高濃度イオン注入を行ってソース及びドレインを形成する必要があるため工程が増大するという問題を有しているだけでなく、ホットキャリアの影響が少ない電圧帯での使用であってもソース及びドレインの寄生抵抗の大きいオフセット構造としなければならないという問題があった。

#### 【0007】

さらに、上記のように形成したNMOSはソース及びドレインに低濃度層を有しているため、前記NMOSのソース及びドレインの寄生抵抗が増大とともに寄生抵抗バラツキも増大するという問題があった。

#### 【0008】

また、P+型の多結晶シリコンを用いたゲート電極は、前記ゲート電極のシート抵抗が $100\Omega/\square$ 程度と大きいため、高速動作や高周波対応に必要な半導体装置への適用は難しいという問題を有していた。

## 【0009】

上記の課題であるゲート電極のシート抵抗の問題は、ゲート電極をN+型の多結晶シリコンと高融点金属シリサイドとによるポリサイド構造により回避できるが、N+型多結晶シリコンをゲート電極として用いることにより、PMOSの低電圧化が困難となるという課題を有している。

## 【0010】

本発明は以上のような点に着目してなされたもので、本発明は低コストかつ短TATであり、高性能な半導体装置の実現を可能とする製造方法を提供することを目的とする。

## 【0011】

## 【課題を解決するための手段】

上記課題を解決するために、本発明は次の手段を用いた。

## 【0012】

(1) 第一導電型の半導体基板に第二導電型の不純物拡散層を形成する工程と、前記第一導電型の半導体基板と前記第二導電型の不純物拡散層との素子分離を行う工程と、前記第一導電型の半導体基板及び前記第二導電型の不純物拡散層上にゲート絶縁膜を形成する工程と、前記ゲート絶縁膜上にゲート電極を形成する工程と、前記ゲート電極に不純物を導入する工程と、前記ゲート電極上に高融点金属を形成する工程と、前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程と、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程と、前記第一導電型の半導体基板内に形成した第二導電型の不純物拡散層の不純物濃度を調整する工程と、前記第二導電型の不純物拡散層内に形成した第一導電型の不純物拡散層の不純物濃度を調整する工程とを有する半導体装置の製造方法とした。

## 【0013】

(2) 前記ゲート電極はP型の導電型である多結晶シリコンである半導体装置

の製造方法とした。

【 0 0 1 4 】

(3) 前記ゲート電極は、多結晶シリコンと高融点金属シリサイドとにより構成されるポリサイド構造である半導体装置の製造方法とした。

【 0 0 1 5 】

(4) 前記高融点金属シリサイドとの積層である前記ポリサイド構造からなる前記ゲート電極において、前記多結晶シリコンの膜厚が 5 0 0 Å から 2 5 0 0 Å の範囲であり、前記高融点金属シリサイドの膜厚が 5 0 0 Å から 2 5 0 0 Å の範囲である半導体装置の製造方法とした。

【 0 0 1 6 】

(5) 前記高融点金属シリサイドがタングステンシリサイドもしくはモリブデンシリサイドもしくはチタンシリサイドもしくはプラチナシリサイドである半導体装置の製造方法とした。

【 0 0 1 7 】

(6) 前記ゲート電極であるP型の導電型の多結晶シリコンの不純物濃度が  $1 \times 10^{18} \text{ atoms/cm}^3$  以上のボロンまたは  $\text{BF}_2$  を含む半導体装置の製造方法とした。

【 0 0 1 8 】

(7) 前記ゲート電極に不純物を導入する工程は、イオン注入法である半導体装置の製造方法とした。

【 0 0 1 9 】

(8) 前記ゲート電極に不純物を導入する工程は、プリデポジション法である半導体装置の製造方法とした。

【 0 0 2 0 】

(9) 前記ゲート電極に不純物を導入する工程は、P型イオンを含むガス雰囲気での減圧CVD法である半導体装置の製造方法とした。

【 0 0 2 1 】

(10) 前記第一導電型の半導体基板と前記第二導電型の不純物拡散層との素子分離を行う工程は、LOCOS分離法である半導体装置の製造方法とした。

## 【 0 0 2 2 】

( 1 1 ) 前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程と、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして高濃度不純物をセルフアラインで導入する工程である半導体装置の製造方法とした。

## 【 0 0 2 3 】

( 1 2 ) 前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして高濃度不純物をセルフアラインで導入する工程であり、前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして低濃度不純物をセルフアラインで導入し高濃度不純物を一部もしくは全部セルフアラインで導入しない工程である半導体装置の製造方法とした。

## 【 0 0 2 4 】

( 1 3 ) 前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして高濃度不純物をセルフアラインで導入する工程であり、前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして低濃度不純物をセルフアラインで導入し高濃度不純物を一部もしくは全部セルフアラインで導入しない工程であり、前記高濃度不純物を一部もしくは全部セルフアラインで導入しない拡散層と前記ゲート電極間の絶縁膜がゲート絶縁膜よりも膜厚が厚くなっている半導体装置の製造方法とした。

## 【 0 0 2 5 】

( 1 4 ) 前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして高濃度不純物をセルフアライ

ンで導入する工程であり、前記第一導電型の半導体基板内に第二導電型の不純物拡散層を形成する工程もしくは、前記第二導電型の不純物拡散層内に第一導電型の不純物拡散層を形成する工程は、前記ゲート電極をマスクとして低濃度不純物及び高濃度不純物をセルフアラインで導入する工程である半導体装置の製造方法とした。

## 【 0 0 2 6 】

( 1 5 ) 前記低濃度不純物拡散層濃度は  $1 \times 10^{16}$  から  $1 \times 10^{18}$  atoms/cm<sup>3</sup> であり、前記高濃度不純物拡散層濃度は  $1 \times 10^{19}$  cm<sup>3</sup> 以上である半導体装置の製造方法とした。

## 【 0 0 2 7 】

( 1 6 ) 前記低濃度不純物拡散層の不純物は、ボロンまたはBF<sub>2</sub>であり、前記高濃度不純物拡散層の不純物は、ボロンまたはBF<sub>2</sub>、もしくはリンまたは砒素である半導体装置の製造方法とした。

## 【 0 0 2 8 】

( 1 7 ) 前記第一導電型の半導体基板内に形成した第二導電型の不純物拡散層の不純物濃度を調整する工程は、前記第一導電型の半導体基板内に形成した第二導電型の不純物拡散層にMOS型トランジスターを形成した場合、埋め込みチャンネル型もしくは表面チャンネル型となり、エンハンスメント型のMOSトランジスターとなるように調整する半導体装置の製造方法とした。

## 【 0 0 2 9 】

( 1 8 ) 前記第二導電型の不純物拡散層内に形成した第一導電型の不純物拡散層の不純物濃度を調整する工程は、前記第二導電型の不純物拡散層内に形成した第一導電型の不純物拡散層にMOS型トランジスターを形成した場合、埋め込みチャンネル型もしくは表面チャンネル型となり、デプリーション型のMOSトランジスターとなるように調整する半導体装置の製造方法とした。

## 【 0 0 3 0 】

## 【発明の実施の形態】

以下、本発明の実施の形態を図面に基づいて説明する。

図 1 は本発明の半導体装置の製造方法の第一の実施例を示す模式的断面フローで

ある。

### 【 0 0 3 1 】

図 1 ( a ) において、P 型半導体基板 1 0 1、例えばボロン添加した抵抗率  $20 \Omega \text{ cm}$  から  $30 \Omega \text{ cm}$  の不純物濃度の半導体基板に、N ウェル 1 0 2、例えばリンを  $1 \times 10^{11} \text{ atoms/cm}^2$  から  $1 \times 10^{13} \text{ atoms/cm}^2$  のドーズ量でイオン注入し、 $1000 \sim 1200^\circ\text{C}$  で数時間～十数時間アニールすることにより形成する拡散層を形成し、LOCOS 法によりフィールド絶縁膜 1 0 6、例えば膜厚数千 Å から  $1 \mu\text{m}$  の熱酸化膜を形成した後、MOS トランジスターを形成する領域の絶縁膜を除去し、ゲート絶縁膜 1 0 5、例えば膜厚  $10 \text{ nm}$  から  $100 \text{ nm}$  の熱酸化膜を形成する。ゲート絶縁膜 1 0 5 を形成する前もしくはゲート絶縁膜 1 0 5 を形成する後に P 型半導体基板 1 0 1 及び N ウェル 1 0 2 の不純物濃度を調整するためのイオン注入を行う。引き続いて、ゲート絶縁膜 1 0 5 上にゲート電極となる多結晶シリコンを形成する。多結晶シリコンに P 型のイオン注入、例えば  $\text{BF}_2$  をシート抵抗を低減するため好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  以上の濃度で行った後、高融点金属、例えばタングステンを膜厚  $1000 \text{ Å}$  で形成しシリサイド化処理を行うことにより高融点金属シリサイド 1 1 6 が形成される。この時、ゲート電極は P+ 多結晶シリコン 1 0 7 上に高融点金属シリサイド 1 1 6 が形成されているポリサイド構造となっている。引き続いて、ゲート電極をパターニングする。

### 【 0 0 3 2 】

図 1 ( b ) において、PMOS 領域にゲート電極をマスクとしてセルフアラインで P+ 1 0 4、例えば、ボロンまたは  $\text{BF}_2$  をシート抵抗を低減するため好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  以上の濃度で形成した後、NMOS 領域にフォトレジスト 1 0 8 及びゲート電極をマスクとして N+ 1 0 3、例えばリンまたは砒素をシート抵抗を低減するため好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  以上の濃度でイオン注入する。

### 【 0 0 3 3 】

図 1 ( c ) において、N+ 1 0 3 を形成するために形成したフォトレジスト 1 0 8 を除去し、活性化のためのアニール、例えば不活性ガス雰囲気中で  $800^\circ\text{C}$  から  $1000^\circ\text{C}$  で数秒から数分のランプアニールを行うことにより、N+ 1 0 3 が形成

される。

【 0 0 3 4 】

以上の工程により、ゲート電極がP+型の多結晶シリコン107でありソースとドレインがいわゆるシングルドレイン構造であるNMOS113と、Nウェル領域102に形成されたゲート電極がやはりP+型の多結晶シリコン107であるシングルドレイン構造のPMOS112とからなるCMOSと、フィールド絶縁膜106とが形成される。

【 0 0 3 5 】

本発明の半導体装置の製造方法による第一の実施例のPMOS112は、ゲート電極は多結晶シリコンであり、PMOS112のソース及びドレインであるP+104を形成するためのイオン注入を自己整合的に行うことができる。ゲート電極をP+多結晶シリコン107と高融点金属シリサイド116との積層構造であるポリサイド構造とすることで、Nウェル102とゲート電極の仕事関数の関係からPMOSのチャネルは表面チャネルとなるが、表面チャネル型のPMOSにおいては、しきい値電圧を例えば-0.5V以上に設定しても極端なサブスレッショルド係数の悪化に至らず、定電圧動作及び低消費電力がともに可能になる。

【 0 0 3 6 】

また、本発明の半導体装置の製造方法による第一の実施例のNMOS113において、ゲート電極はP+多結晶シリコン107と高融点金属シリサイド116との積層構造であるポリサイド構造であるのでNMOS113のソース及びドレイン形成を自己整合的に行うことが可能となる。P+多結晶シリコン107のゲート電極とP型半導体基板101の仕事関数の関係からNMOSのチャネルは埋込みチャネルとなるが、しきい値を所望の値に設定する場合に拡散係数の小さな砒素をしきい値制御用ドナー不純物として使用できるためチャネルは極めて浅い埋込みチャネルとなる。従って、しきい値電圧を例えば0.5V以下の小さな値に設定してもサブスレッショルドの劣化やリーク電流の増大を著しく抑制できる。

【 0 0 3 7 】

以上の説明から、本発明の半導体装置の製造方法による第一の実施例のP+多結晶シリコンと高融点金属シリサイドのポリサイド構造をゲート電極としたNMOS



は、従来のP+多結晶シリコン単極をゲート電極としたオフセット構造のNMOSに比べ、自己整合的に高不純物濃度のソース及びドレインを形成できるので、寄生抵抗を小さくするとともに前記ソース及びドレインの寄生抵抗バラツキも抑制することが可能となる。

## 【 0 0 3 8 】

また、本発明の製造方法によるP+多結晶シリコンと高融点金属シリサイドのポリサイド構造をゲート電極としたCMOSは、低電圧動作および低消費電力に対し有効な技術であることが理解されよう。

## 【 0 0 3 9 】

さらに、本発明の製造方法ではホットキャリアの問題の無い電圧帯での使用において、シングルドレイン構造のNMOSを用いることが可能となるので、NMOSのゲート電極にソース及びドレインのイオン注入がされないようにするためのフォトレジストが不要となるのでマスク削減が可能となる。

## 【 0 0 4 0 】

本発明の第一の実施例においては、高融点金属シリサイド116としてタンゲステンシリサイドを用いた場合について説明したが、本発明においてはモリブデンシリサイド、チタンシリサイド、プラチナシリサイドを用いても本発明の本質に何ら影響を与えることは無く、膜厚も1000Åだけに限らず、製造工程安定性や応力やシート抵抗の観点から500Åから2500Åとすれば良い。

## 【 0 0 4 1 】

さらに、本発明の第一の実施例において、例えばVRの抵抗を多結晶シリコン単層で形成する場合、抵抗体となる部分の多結晶シリコン上には予め高融点金属シリサイドを被着しないかもしくは一度多結晶シリコン上に高融点金属シリサイドを被着した後、その部分の高融点金属シリサイドを選択的に除去する工程フローにより形成可能であるが、この場合抵抗体である多結晶シリコンの膜厚は、不純物突き抜けやシャドウ効果、製造TATから総厚みが2000Åから6000Å程度であるが、前記多結晶シリコンはポリサイド構造の下層と同一層であるため、500Åから2500Åと薄くなっていることから高抵抗化が可能となり、この点においても有利となっている。

## 【 0 0 4 2 】

本発明の第一の実施例において、ゲート電極の不純物導入方法としてイオン注入法を用いて説明したが、P型の高濃度ガラス層を前記ゲート電極上に形成し固相拡散させるプリデポジション法や前記ゲート電極形成をP型イオンを含むガス中で形成する減圧CVD法でも良い。すなわち、ゲート電極への不純物導入方法が本発明の本質になんら影響を与えることはないということは言うまでも無い。

## 【 0 0 4 3 】

本発明の第一の実施例において、ゲート酸化前後にP型半導体基板101及びNウェル102の不純物濃度調整を行う工程の有無、導入するイオン種及び濃度は本発明の本質になんら影響を与えることはないということは言うまでも無い。

## 【 0 0 4 4 】

本発明の第一の実施例において、フィールド酸化膜形成前にチャネルストッパーを形成する工程があっても本発明の本質になんら影響を与えることはないということは言うまでも無い。

## 【 0 0 4 5 】

次に、本発明の半導体装置の製造方法を実製品に適用した場合の具体的な効果を図2を用いて説明する。図2は半導体装置の製造方法による正型VRの構成概要を示す。VRは基準電圧回路123とエラーアンプ124とPMOS出力素子125と抵抗129からなる分圧回路130とからなり、入力端子126に任意の電圧が入力されても常に一定の電圧を必要とされる電流値とともに出力端子128に出力する機能を有する半導体装置である。

## 【 0 0 4 6 】

近年、特に携帯機器向けのVRには入力電圧の低電圧化、低消費電力化、小入出力電位差でも高電流を出力できること、出力電圧の高精度化、低コスト化、小型化などが市場から要求されている。特に低コスト化と小型化は優先度の高い要求である。以上の要求に対し、本発明の構造、すなわち低コストで低しきい値電圧化及び高精度化が可能なCMOSによりエラーアンプやPMOS出力素子や基準電圧回路を構成することにより低電圧動作、低消費電力、出力電圧の高精度化への対応が可能となる。

## 【0047】

さらに、最も優先度の高い要求である低コスト化、即ちチップサイズの縮小や小型化や高精度化に対して本発明の構造は極めて多大な効果をもたらすことを具体的に説明する。

## 【0048】

VRは数十mAから数百mAの電流を出力するが、それはPMOS出力素子の駆動能力に100%依存し、製品によってはチップ面積のほぼ半分をPMOS出力素子が占める場合がある。従ってこのPMOS出力素子のサイズを如何に縮小できるかが低コスト化および小型化のキーとなる。

## 【0049】

一方、入力電圧の低電圧化の要求と小入出力電位差下で高電流出力の市場要求も強いことは述べたが、これはPMOS出力素子においてゲートに印加される電圧が小さくかつソースとドレイン間電圧が小さい非飽和動作モードにおいて高電流であることを指す。

## 【0050】

非飽和動作におけるMOSトランジスターのドレイン電流は

$$I_d = (\mu \cdot C_{ox} \cdot W/L) \times \{(V_{gs} - V_{th}) - 1/2 \cdot V_{ds}\} \times V_{ds} \quad - (1) \text{ 式}$$

$I_d$ : ドレイン電流

$\mu$ : 移動度

$C_{ox}$ : ゲート絶縁膜容量

$W$ : チャネル幅

$L$ : チャネル長

$V_{gs}$ : ゲート・ソース間電圧

$V_{th}$ : しきい値電圧

$V_{ds}$ : ドレイン・ソース間電圧

で表される。

## 【0051】

面積を増やさず、 $V_{gs}$ や $V_{ds}$ が小さくても十分大きいドレインとするには、(1)式よりチャネル長の縮小並びに $V_{th}$ の低下、さらに移動度の向上を行う必要が

ある。

【 0 0 5 2 】

本発明の製造方法によるP+多結晶シリコン単極ゲートとし、少なくともNMOSのゲート電極上に絶縁膜を有するCMOS構造は、オフ時のリーク電流を抑制したまましきい値電圧の低電圧化並びにチャネル長の縮小が行なえ、さらに寄生抵抗の低下により移動度向上するだけでなく、前記NMOSのソース及びドレインの寄生抵抗バラツキ抑制を行えるため、上記のVRの低コスト化および小型化、高精度化に対して非常に有効な手段であることが理解されよう。

【 0 0 5 3 】

また、VRにおける本発明の製造方法によるP+多結晶シリコン単極ゲートCMOS構造による利点として、基準電圧回路をE型NMOSとディプリーション型のNMOS（以後D型NMOSと表記）のいわゆるE/D型で構成する場合、E型NMOS、D型NMOS両方ともに埋込みチャネル型となるため各々のMOSのしきい値電圧や相互コンダクタンスの温度変化に対する変化具合を同程度とすることができる。

【 0 0 5 4 】

さらに、本発明の製造方法のP+多結晶シリコン単極ゲートCMOS構造により、PMOSのE/D型基準電圧回路も実用可能となる。従ってE/D型による基準電圧回路においてNMOSもしくはPMOSのどちらもが選択が可能であり、回路設計における自由度が増えるという利点も本発明は有している。

【 0 0 5 5 】

以上、VRにおける本発明の効果を説明したが、やはり高出力素子を搭載するSWRや低電圧動作、低消費電力、低コスト、小型化、高精度化などの要求が強いVDにおいても、本発明の適用によりVRと同様に多大な効果が得られることも言及しておく。

【 0 0 5 6 】

図3は本発明の半導体装置の製造方法の第二の実施例を示す模式的断面フローである。ゲート電極はP+多結晶シリコン107と高融点金属シリサイド116とによるポリサイド構造のCMOSであり、図1に示した実施例と同様な低電圧動作、低消費電力、低コスト、高精度の効果を有するが、さらにPMOS112はアナログ

回路におけるチャネル長変調の改善やホットキャリアーによる信頼性低下の抑制およびドレイン耐圧の向上を目的としてソースとドレインもしくはドレインだけを不純物濃度の薄い拡散層P-120とし、ソースとドレインもしくはドレインだけをゲート電極から距離をおいて設けた不純物濃度の濃い拡散層P+104としたMOSトランジスタ構造としている。これは入力電圧の高いVDやVRおよび出力電圧の高い昇圧型のSWRなどに対応するためである。

## 【0057】

図3に示すPMOS構造は、例えば低不純物濃度の拡散層を選択的に形成した後、レジストマスクとイオン注入技術により選択的に高不純物濃度の拡散層を半導体中に設けることで形成される。低不純物濃度の拡散層は、PMOS112のP-120の場合には不純物としてボロンないしは $\text{BF}_2$ を用い濃度はホットキャリア及び耐圧の観点から $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度が好ましい。高不純物濃度の拡散層は、PMOS112のP+104の場合には不純物としてボロンないしは $\text{BF}_2$ を用い濃度はシート抵抗を低くするため、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上が好ましく、NMOS113のN+103の場合には不純物としてリンないしは砒素を用い濃度はシート抵抗を低くするため、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上が好ましい。

## 【0058】

ゲート電極から離れて形成されているゲート電極から高不純物濃度拡散までの距離、いわゆるオフセット長は半導体装置に入力される電圧にもよるが通常は0.5  $\mu\text{m}$ から数 $\mu\text{m}$ である。図3においてはPMOS112の片側だけがオフセット構造となっているが、素子の回路での使用方法によりその回路において適切な構造を選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方をオフセット構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけをオフセット構造とする。

## 【0059】

図4は本発明の半導体装置の製造方法の第三の実施例を示す模式的断面フローである。ゲート電極はP+多結晶シリコン107と高融点金属シリサイド116と

によるポリサイド構造のCMOSであり、図1に示した実施例と同様な低電圧動作、低消費電力、低コスト、高精度の効果を有するが、さらにPMOS112はソースとドレインの両方にゲート電極とオーバーラップして不純物濃度の濃い拡散層P+104を配し、ソースとドレインもしくはドレインだけにゲート電極とオーバーラップして不純物濃度の薄い拡散層P-120を配したいわゆるDouble Diffused Drain (DDD) 構造からなるMOSトランジスター構造としている。図3に示した構造と同等な効果を目的とするが、図3に示した実施例のPMOSとの違いは、高不純物濃度の拡散層がゲート電極とオーバーラップしており、その分PMOSの動作時の寄生抵抗を小さくできるというメリットがある。しかしゲートとドレインのオーバーラップ、すなわちミラー容量が大きいため高周波動作には不向きという欠点ももつ。

図4に示すPMOS構造は、例えば低不純物濃度の拡散層をイオン注入法と熱処理により選択的に形成した後、高不純物濃度の拡散層を設けることで形成される。低不純物濃度の拡散層は、PMOS112のP-120の場合には不純物としてボロンないしは $\text{BF}_2$ を用い濃度はホットキャリア及び耐圧の観点から $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度が好ましい。高不純物濃度の拡散層は、PMOS112のP+104の場合には不純物としてボロンないしは $\text{BF}_2$ を用い濃度はシート抵抗を低くするため、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上が好ましく、NMOS113のN+103の場合には不純物としてリンないしは砒素を用い濃度はシート抵抗を低くするため、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上が好ましい。

#### 【0060】

薄い拡散層P-120と濃い拡散層N+103、P+104のチャネル側への横方向拡散量の差は通常は $0.2 \mu\text{m}$ から $1 \mu\text{m}$ 程度である。図4においてはPMOS112の片側だけがDDD構造となっているが、素子の回路での使用方法によりその回路において適切な構造を選択することができる。標準的には電流方向が双方向でソースとドレインがケースバイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方をDDD構造とし、電流方向が単方向でソースとドレインが固定しているような場合には実効チャネル長の縮小のため片側すなわちドレイン側だけをDDD構造とする。

## 【0061】

図5は本発明の半導体装置の製造方法の第四の実施例を示す模式的断面フローである。ゲート電極はP+多結晶シリコン107と高融点金属シリサイド116とによるポリサイド構造のCMOSであり、図1に示した実施例と同様な低電圧動作、低消費電力、低コスト、高精度の効果を有するが、さらにPMOS112はソースとドレインを不純物濃度の薄い拡散層P-120とゲート電極からサイドスペーサの距離だけゲート電極から離れて設けた不純物濃度の濃い拡散層P+104のいわゆるLightly Doped Drain (LDD) 構造からなるMOSトランジスター構造としている。図3、図4に示した構造と同等な効果を目的とするが、図3や図4に示した実施例のPMOSとの違いは、高不純物濃度拡散層が自己整合的に形成されるため微細化に有利な構造である反面、耐圧の向上に制限があるというデメリットも有している。

## 【0062】

図5に示す構造は、例えば低不純物濃度の拡散層をイオン注入法と熱処理により形成した後、CVD法（化学気相成長法）により絶縁膜被着し異方性ドライエッチングを行うことでサイドスペーサを形成し、自己整合的に高不純物濃度の拡散層をイオン注入法により設けることで形成される。低不純物濃度の拡散層は、PMOS112のP-120の場合には不純物としてボロンないしは $\text{BF}_2$ を用い濃度はホットキャリア及び耐圧の観点から、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度が好ましい。高不純物濃度の拡散層は、PMOS112のP+104の場合には不純物としてボロンないしは $\text{BF}_2$ を用い濃度はシート抵抗を低くするため、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上が好ましく、NMOS113のN+103の場合には不純物としてリンないしは砒素を用い濃度はシート抵抗を低くするため、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上が好ましい。

## 【0063】

サイドスペーサ121の幅は通常は $0.2 \mu\text{m}$ から $0.5 \mu\text{m}$ 程度である。

## 【0064】

図6は本発明の半導体装置の製造方法の第五の実施例を示す模式的断面フローである。ゲート電極はP+多結晶シリコン107と高融点金属シリサイド116と

によるポリサイド構造のCMOSであり、図1に示した実施例と同様な低電圧動作、低消費電力、低コスト、高精度の効果を有するが、さらにPMOS 1 1 2はソースとドレインもしくはドレインだけを不純物濃度の薄い拡散層P- 1 2 0とし、ソースとドレインもしくはドレインだけをゲート電極から距離をおいてかつその間に厚い絶縁膜 1 1 4 を設けて形成された不純物濃度の濃い拡散層P+ 1 0 4 としたMOSトランジスタ構造としている。図5に示した構造と同等な効果を目的とするが、図5に示した実施例のPMOSとの違いは、高不純物濃度拡散層とゲート電極の間に厚い絶縁膜が設けられていることから電界緩和の効果は大きく高耐圧動作、例えば数十Vから数百Vの動作に対応できるというメリットがある。しかし素子サイズを小さくできないという欠点ももつ。

## 【 0 0 6 5 】

図6に示す構造は、例えば低不純物濃度の拡散層を選択的に形成した後、素子分離のためのいわゆるLOCOS形成と同時にゲート電極とソースとドレインもしくはゲート電極とドレインの間となる部分に厚い絶縁膜を形成し、ゲート電極を形成後、高不純物濃度の拡散層を設けることで形成される。低不純物濃度の拡散層は、PMOS 1 1 2 のP- 1 2 0 の場合には不純物としてボロンないしは $\text{BF}_2$ を用い濃度は耐圧の観点から、 $1 \times 10^{16} \sim 1 \times 10^{18} \text{ atoms/cm}^3$ 程度が好ましい。高不純物濃度の拡散層は、PMOS 1 1 2 のP+ 1 0 4 の場合には不純物としてボロンないしは $\text{BF}_2$ を用い濃度はシート抵抗を低くするため、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上が好ましく、NMOS 1 1 3 のN+ 1 0 3 の場合には不純物としてリンないしは砒素を用い濃度はシート抵抗を低くするため、 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上が好ましい。

## 【 0 0 6 6 】

ゲート電極とドレインの間に形成されている絶縁膜の厚さは通常は素子分離用のフィールド酸化膜と同じ数千Åから $1 \mu\text{m}$ 前後の厚みであり、ゲート電極から高不純物濃度拡散までの距離は半導体装置に入力される電圧にもよるが通常は $1 \mu\text{m}$ 前後から数 $\mu\text{m}$ である。図6においてはPMOS 1 1 2 の片側だけが高耐圧構造となっているが、素子の回路での使用方法によりその回路において適切な構造を選択することができる。標準的には電流方向が双方向でソースとドレインがケー



スパイケースで入れ替わる両方向に耐圧が必要な場合はソースとドレインの両方を高耐圧構造とし、電流方向が単方向でソースとドレインが固定しているような場合には寄生抵抗の削減のため片側すなわちドレイン側だけを高耐圧構造とする。

#### 【 0 0 6 7 】

図 1 および図 3 から図 6 の実施例において様々な構造の MOS トランジスターを示したが、半導体装置に要求される仕様と各素子構造の特徴を考慮して適切な組み合わせによりパフォーマンスの高い半導体装置を形成することも可能である。例えば電源系統が 2 系統以上あるような半導体装置においては、必要に応じゲート酸化膜厚も含め電圧帯に応じて以上に示してきた素子構造のなかから適切な構造の選択と組み合わせを行うといった取り組みである。

#### 【 0 0 6 8 】

以上、本発明の実施の形態を P 型半導体基板を用いた実施例により説明してきたが、基板の極性を逆にして N 型の半導体基板を用いた N 基板 P ウェル型の P+ 単極ゲート CMOS によっても以上に説明してきた内容と原理に同じく低電圧動作、低消費電力、低コスト、高精度である半導体装置の製造方法の提供は可能である。

#### 【 0 0 6 9 】

##### 【発明の効果】

上述したように、本発明は CMOS を含むパワーマネジメント半導体装置やアナログ半導体装置の製造方法において、CMOS のゲート電極の導電型を NMOS、PMOS とともに P 型多結晶シリコンと高融点金属シリサイドの積層構造である P 型ポリサイド構造とし、PMOS は表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型である NMOS もしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、ゲート電極のシート抵抗が低抵抗化することにより高速動作、高周波化が可能となる。さらに、NMOS においてはゲート電極をポリサイド構造とすることにより、従来のゲート電極が P+ 多結晶シリコン単極であるオフセット構造 NMOS に比べ、コスト、工期、素子の性能の面で有利であるパワーマネジメント半導体装置やアナログ半導体装置の製造の実現を可能とす

る。

【図面の簡単な説明】

【図 1】

本発明の半導体装置の製造方法の第一の実施例を示す模式的断面フロー。

【図 2】

半導体装置の製造方法による正型VR構成概要。

【図 3】

本発明の半導体装置の製造方法の第二の実施例を示す模式的断面フロー。

【図 4】

本発明の半導体装置の製造方法の第三の実施例を示す模式的断面フロー。

【図 5】

本発明の半導体装置の製造方法の第四の実施例を示す模式的断面フロー。

【図 6】

本発明の半導体装置の製造方法の第五の実施例を示す模式的断面フロー。

【図 7】

従来のCMOS半導体装置の製造方法の模式的断面フロー。

【図 8】

従来のCMOS半導体装置の製造方法の模式的断面フロー。

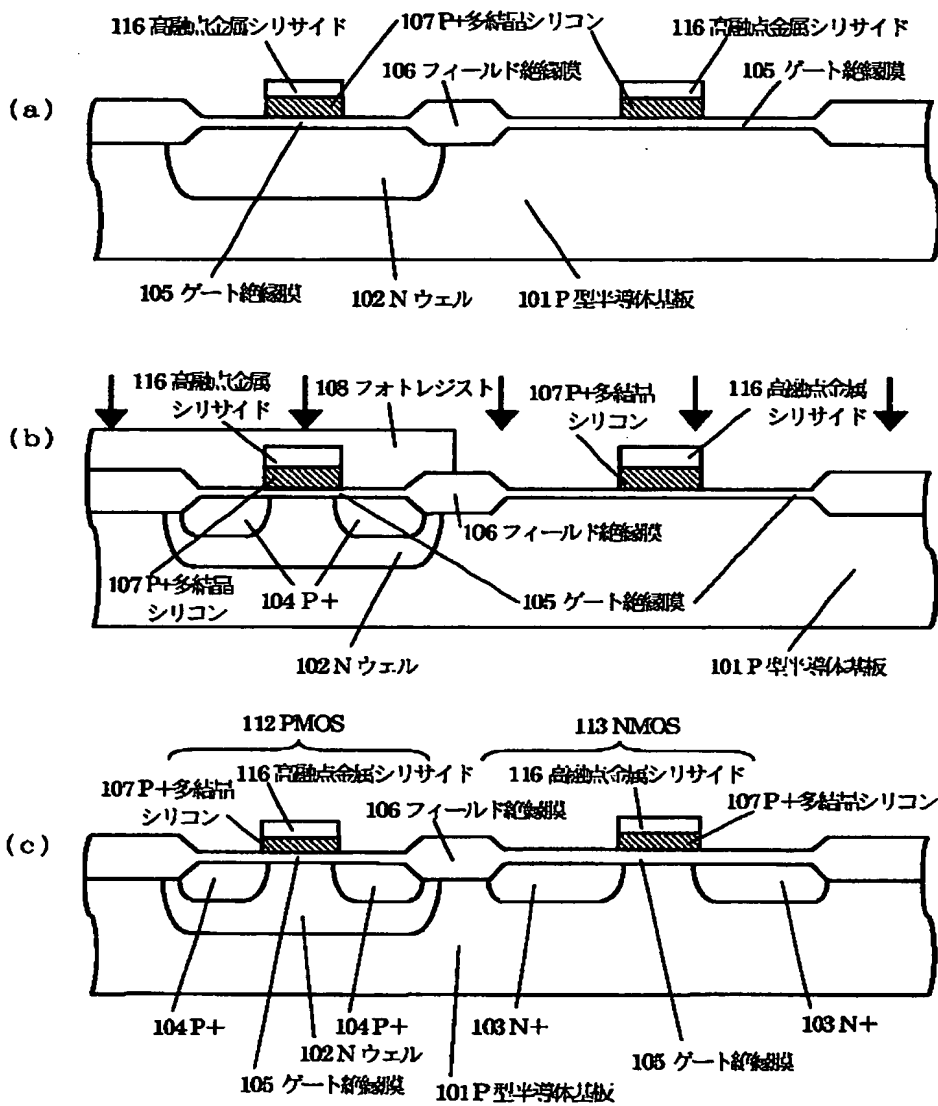
【符号の説明】

- 1 0 1、2 0 1    P型半導体基板
- 1 0 2、2 0 2    Nウェル
- 1 0 3、2 0 3    N+
- 1 0 4、2 0 4    P+
- 1 0 5、2 0 5    ゲート絶縁膜
- 1 0 6、2 0 6    フィールド絶縁膜
- 1 0 7    P+多結晶シリコン
- 1 0 8    フォトレジスト
- 1 1 2、2 1 2    PMOS
- 1 1 3、2 1 3    NMOS

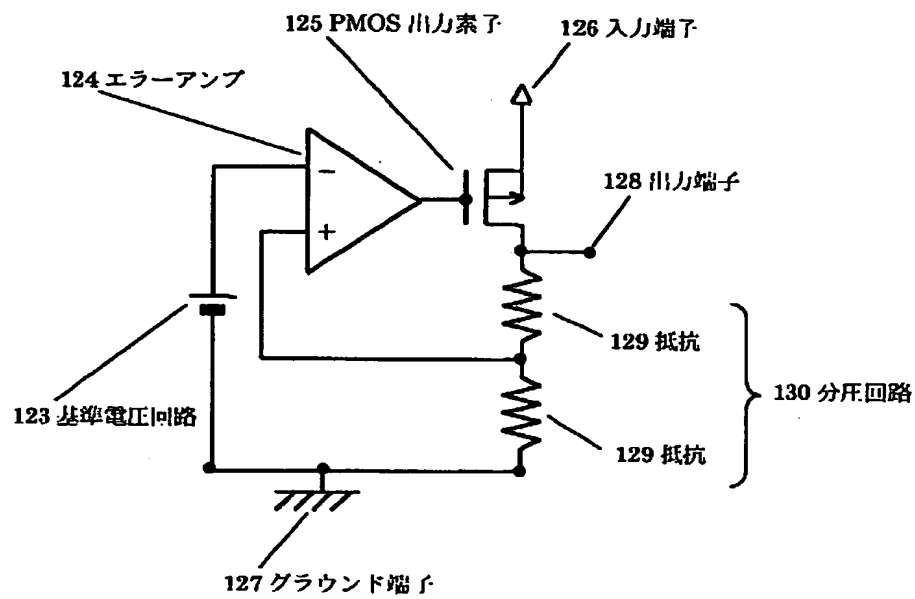
- 114 絶縁膜
- 116、216 高融点金属シリサイド
- 120 P-
- 121 サイドスペーサ
- 122 絶縁膜
- 123 基準電圧回路
- 124 エラーアンプ
- 125 PMOS出力素子
- 126 入力端子
- 127 グラウンド端子
- 128 出力端子
- 129 抵抗
- 130 分圧回路
- 233 多結晶シリコン
- 219 N-
- 231 N+多結晶シリコン
- 232 P+多結晶シリコン

【書類名】 図面

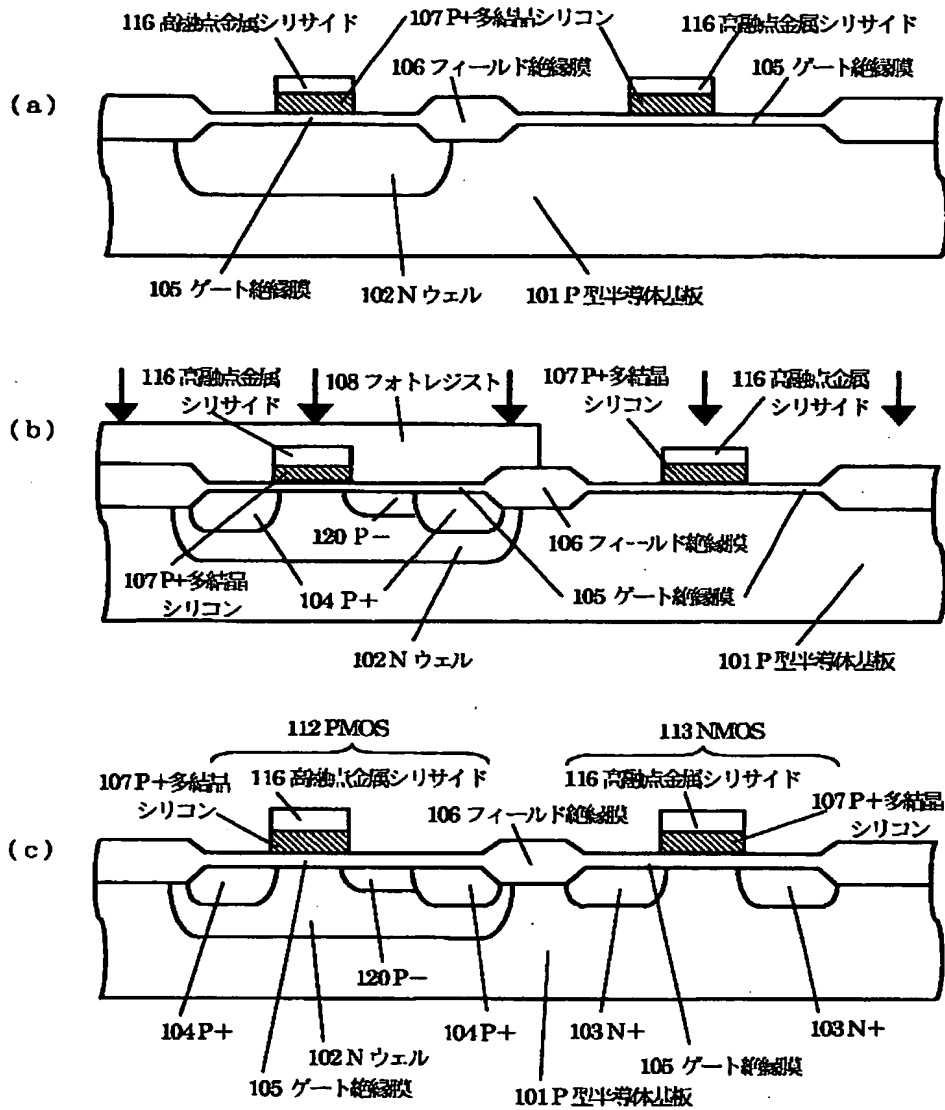
【図 1】



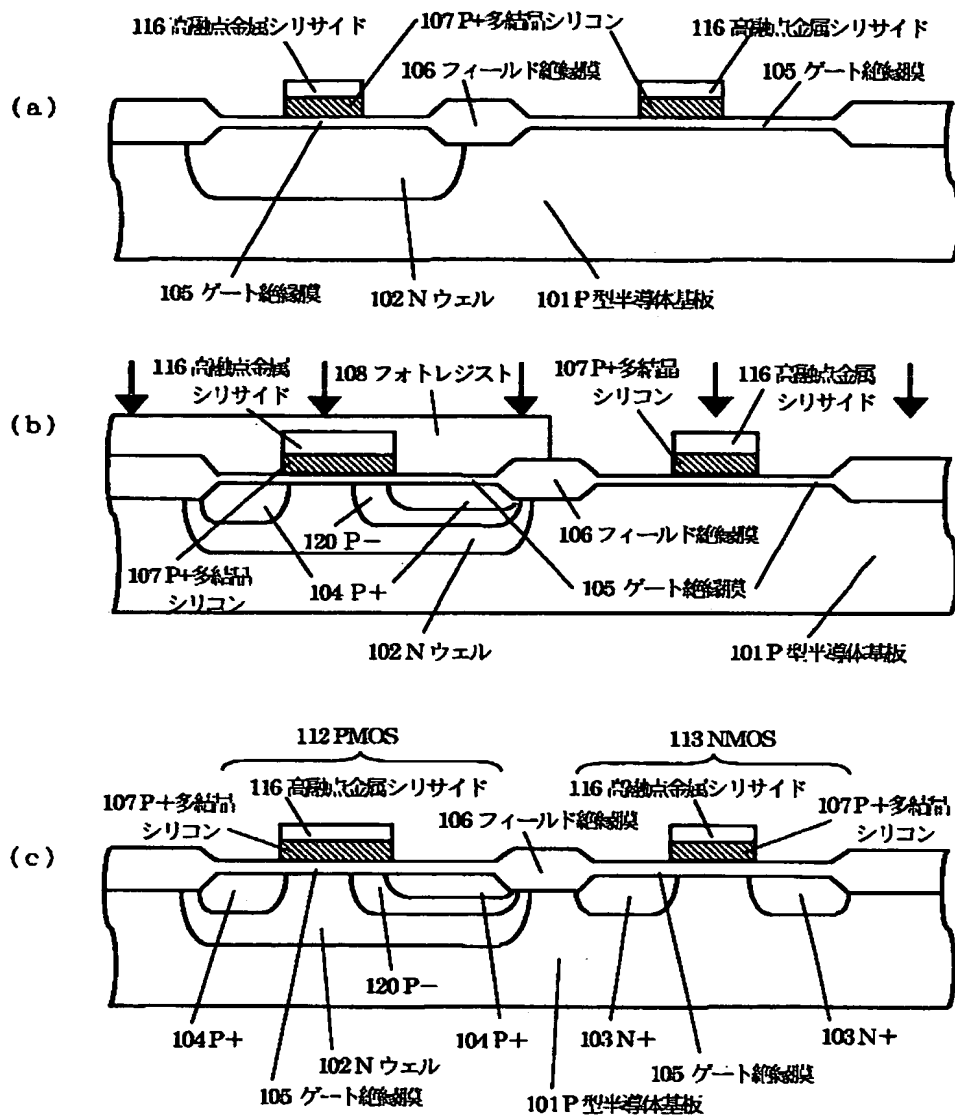
【図 2】



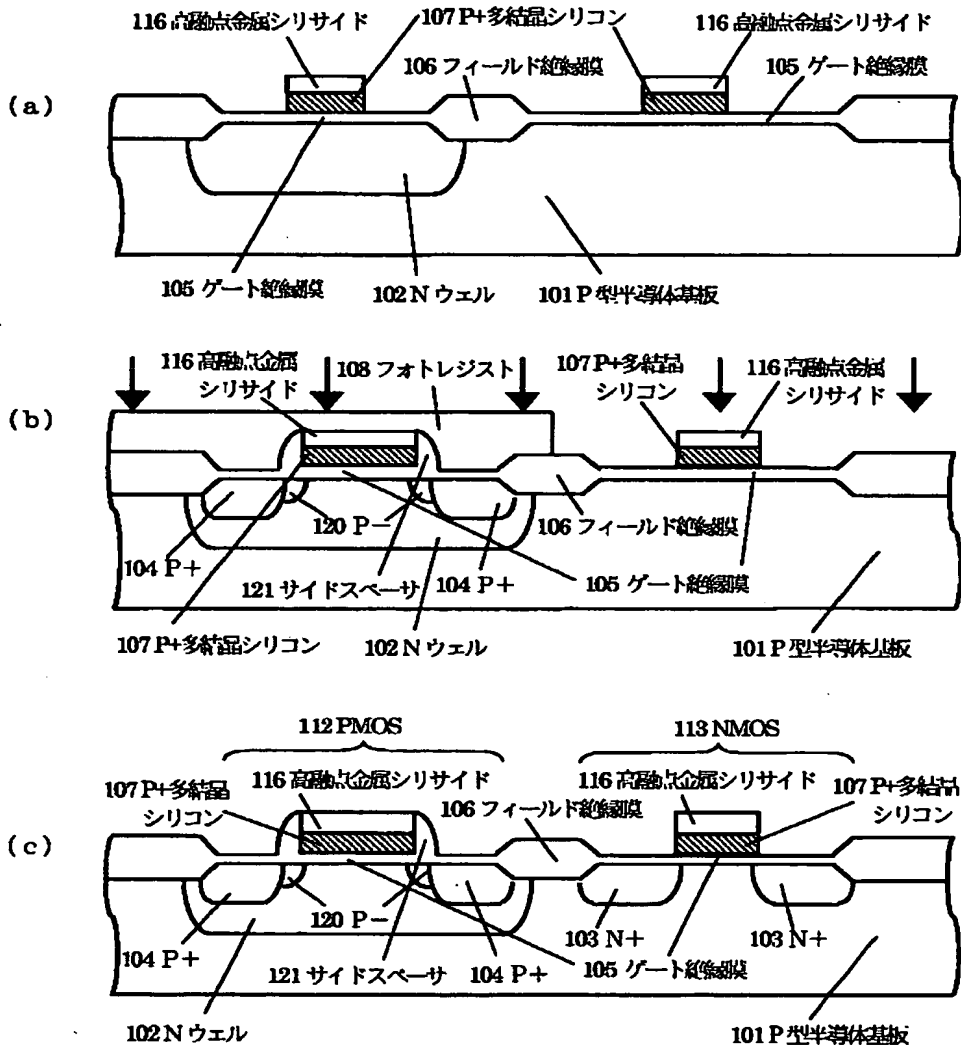
【図 3】



【図 4】

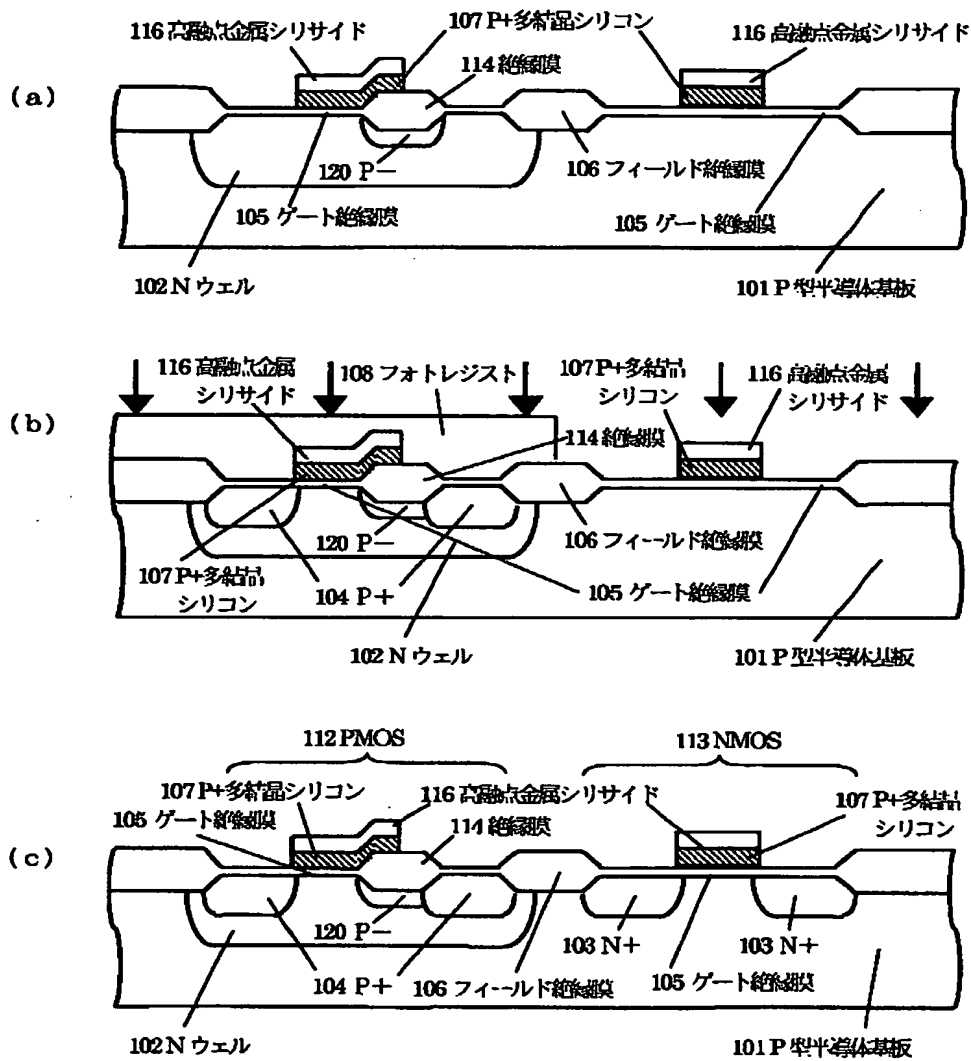


【図 5】

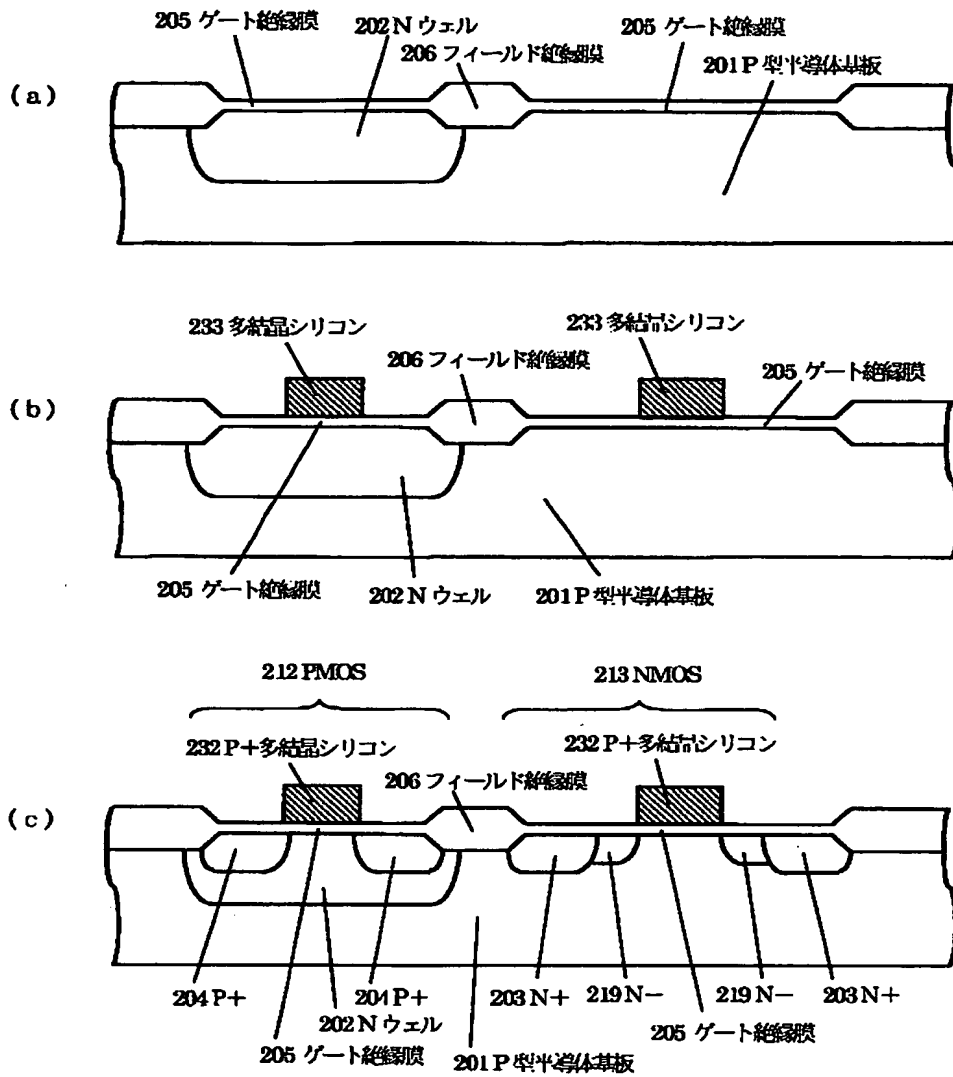




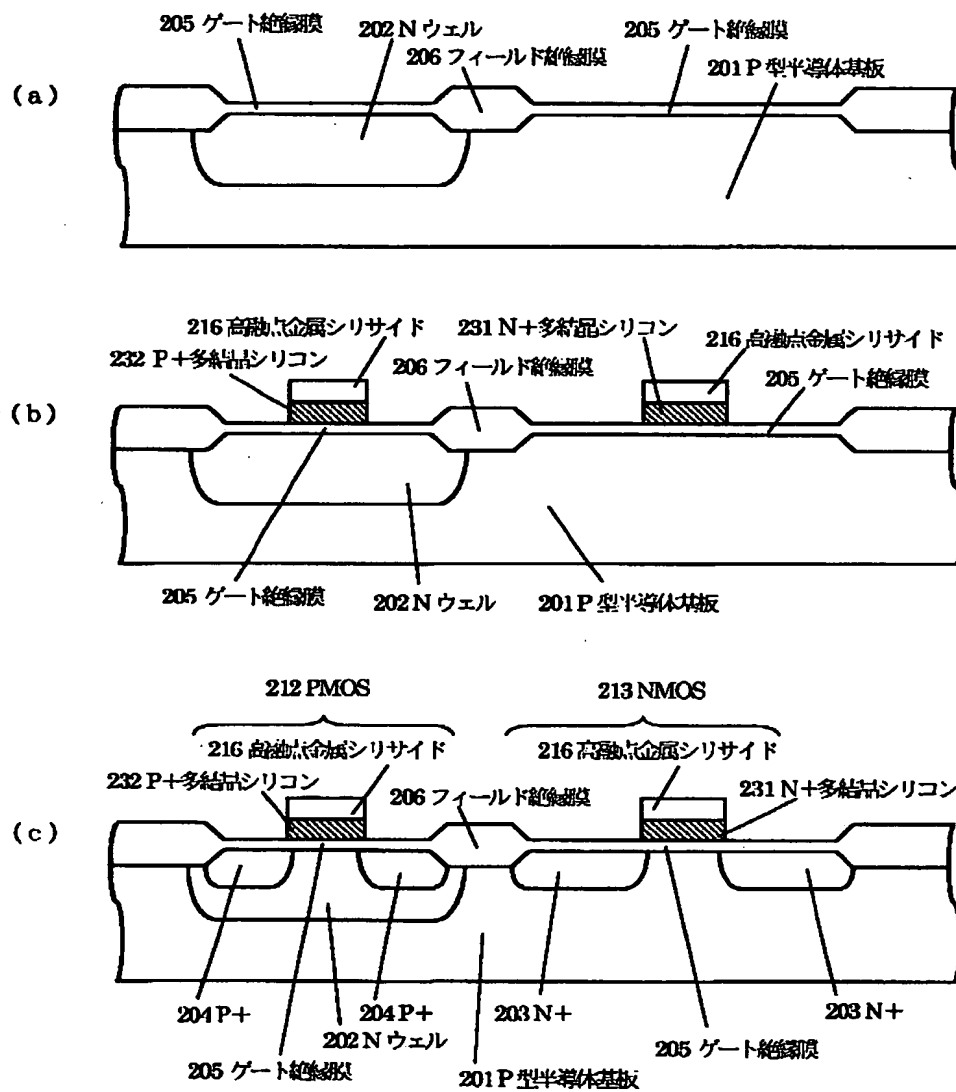
【図 6】



【図 7】



【図 8】



【書類名】 要約書

【要約】

【課題】 低電圧動作可能で低消費電力、駆動能力、高精度のパワーマネージメント半導体装置やアナログ半導体装置を可能とする製造方法の提供。

【問題解決手段】 CMOSを含むパワーマネージメント半導体装置やアナログ半導体装置の製造方法において、CMOSのゲート電極の導電型をNMOS、PMOSともにP型単極の多結晶シリコンないしはP型多結晶シリコンと高融点金属シリサイドの積層構造であるP型ポリサイド構造とし、PMOSは表面チャネル型であるため短チャネル化や低しきい値電圧化が可能であり、また埋込みチャネル型であるNMOSもしきい値制御用の不純物として拡散係数の小さい砒素を使えるため極めて浅い埋込みチャネルとなり短チャネル化や低しきい値電圧化が容易となり、さらに少なくとも前記NMOSのゲート電極上に絶縁膜ないしは高融点金属シリサイド膜を有する。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000002325]

1. 変更年月日	1997年 7月23日
[変更理由]	名称変更
住 所	千葉県千葉市美浜区中瀬1丁目8番地
氏 名	セイコーインスツルメンツ株式会社